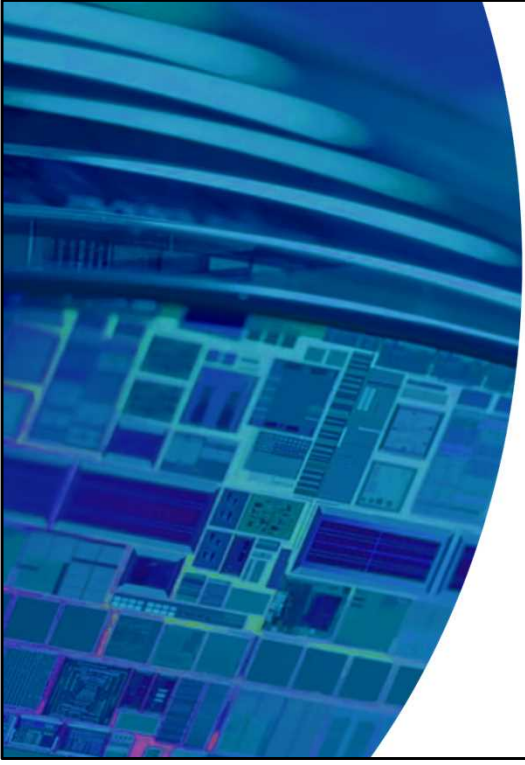




# アルバック IRセミナー 2025

## 半導体電子分野のさらなる成長を目指して

2025年10月3日

### 将来見通し等に関する記述についての注意事項

#### ■ 将来見通しについて

本資料に記載の業績見通しならびに将来予測は、現在入手可能な情報に基づき作成されたものです。世界経済情勢、半導体・電子部品・FPD・原材料などの市況、設備投資の動向、急速な技術革新への対応、為替レートの変動など様々な要因により、実際の業績・成果等はこれらの見通し・将来予測と大きく異なる可能性があることをご承知おください。

#### ■ 本資料について

本IRセミナー資料および説明は、技術的な目的で作成されたものではなく、投資家の皆様にご理解いただきやすいよう、単純化している部分がありますことご承知おください。

## 成長戦略

### 半導体電子中心の事業ポートフォリオの選択と集中

- 半導体電子への注力加速
- 事業間シナジーを活用した新たな半導体電子関連ビジネスの創出
- M&A等を活用したビジネス拡大

約**1,100**億円UP



31/6期までの  
連結売上高増加額

当社は、8月に新たな中長期経営計画を発表いたしました。その中で、成長戦略として半導体電子を中心とした事業ポートフォリオの選択と集中を掲げております。

半導体電子分野への注力を一層加速させるとともに、事業間のシナジーを活用した新たな半導体電子関連ビジネスの創出により、さらなる成長を目指してまいります。

本日は、半導体電子および半導体電子関連ビジネスの一環として、表面分析装置に関する取り組みについてご紹介いたします。

## 本日のアジェンダ

1

### 半導体プロセス拡大に向けた取り組み

16:05 – 16:20

上席執行役員 半導体装置BU長 近藤 智保

2

### 先端パッケージングの新たな取り組み

16:20 – 16:35

上席執行役員 岩井 治憲  
半導体電子事業本部 営業2部 久保 純也

3

### 表面分析装置の強みと今後の展開

16:35 – 16:50

執行役員 アルバック・ファイ（株）代表取締役社長 高橋 明久  
製品戦略部長 宮山 卓也

4

### 質疑応答

16:50 – 17:10

# 半導体プロセス拡大に向けた取り組み

上席執行役員 半導体装置BU長 近藤 智保



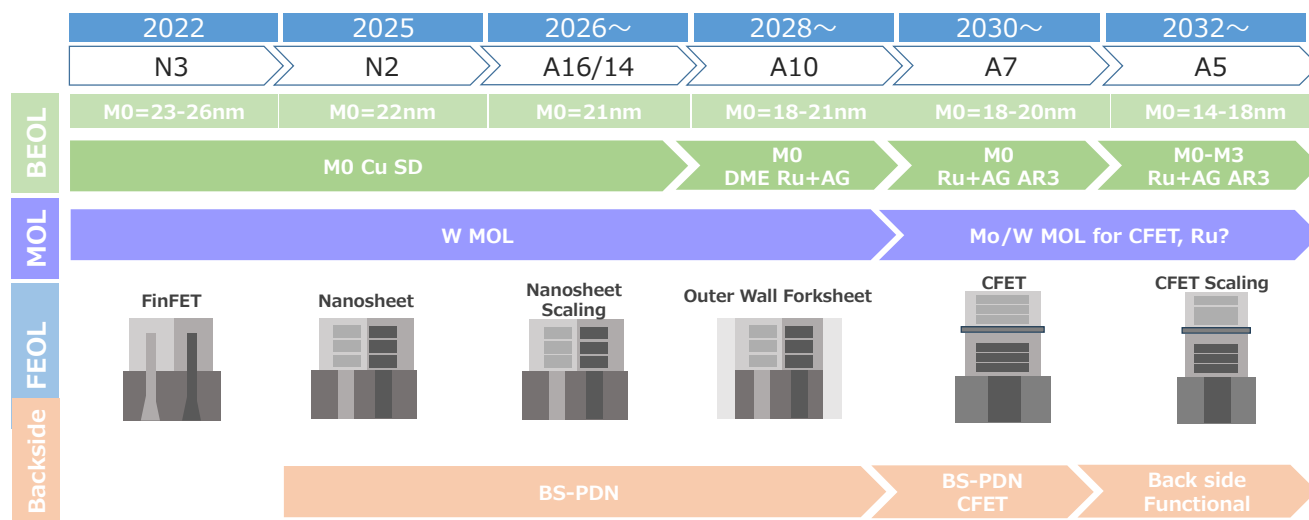
ULVAC

半導体ビジネスユニット長の近藤でございます。

本日はULVAC成長戦略における半導体前工程分野への取り組みをご紹介します。

# 先端Logic Foundry Technology Roadmap

- ▶ 新中長期経営計画 31年6月期までの6年間に半導体デバイスの構造は大きな変化を遂げる
- ▶ パターニング工程の増加、新材料の採用等、当社の得意とするPVD成膜工程の参入機会は拡大



出所: Imec Roadmapをもとに作成

Copyright© 2025, ULVAC, Inc. All rights reserved

5

皆様ご存じの通り、半導体デバイスは過去から微細化を中心に進化を続けてまいりました。

近年、トランジスタ構造の変化やウェハ裏面の活用に向けた開発が活発化し、一部の構造変化は最先端デバイスにおいて既に実現されております。

ここにお示ししているように直近では“FinFET”から“GAA”になり、“裏面給電”があります。

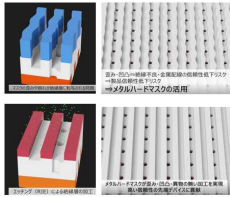
将来に目を向けてみても、新中長期経営計画31年6月期までの6年間にはさらなる構造の変化や進化、材料の変化が起こります。

これらパターニング工程の増加、新材料の採用等の変化対し、当社は得意分野であるPVD分野においても新規参入機会と捉えて開発活動を強化しております。

## 当社 ハードマスク工程の波及と他工程への応用

ULVAC

### 技術課題



新中長期経営計画で x 2 倍以上の成長

顧客技術ニーズに応える技術開発により > 300 台の装置受注

装置出荷台数の拡大イメージ

Top Makerに  
評価機を導入

13年6月期

19年6月期

20年6月期

21年6月期

22年6月期

23年6月期

24年6月期

25年6月期

26年6月期

27年6月期

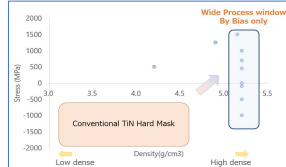
28年6月期

29年6月期

30年6月期

31年6月期

### 顧客ニーズに応える技術



先端Logic量産採用

高密度・低Particle・応力制御 MHM開発

工程・顧客数の拡大イメージ

Top顧客での量産POR獲得により波及

他工程への技術応用、工程拡大

Copyright© 2025, ULVAC, Inc. All rights reserved

6

これは当社が得意とするTiN MHM工程の開発からHM量産採用、波及を表すイメージ図です。

・ MHMとは左上の図のようにファインピッチ配線加工を実現するための工程です。その優位性をもった性能はその下のグラフになります。縦軸が膜ストレス、横軸が膜密度になります。従来のTiN MHM成膜技術では低密度圧縮応力領域のみであったところを、弊社では高密度で引っ張り応力から圧縮応力のワイドレンジの成膜性能を達成しました。

・ 上の棒グラフは、納入実績であり台数とご理解ください。下の棒グラフはPOR数とご理解ください。先端から成熟ノードへの広がり、他工程への応用展開も表しています。

2012年、大手ロジックファンドリメーカーの技術課題を解決するため、同社との開発・評価を開始し、顧客のニーズに応える技術開発成果を成し遂げ、2018年、約6年の歳月をかけて量産採用に至りました。（5nm世代）

その実績で培った技術力を活用して、他の大手ロジックメーカー、中国を含む成熟ロジックファンドリでの量産採用を勝ち取ってまいりました。またその技術を応用して新たな工程でもPORを獲得し続けております。

2031年6月期までに300台を超えるENTRON HM装置の販売、成長を目指してまいります。

このような成功例を再現することがULVACの価値向上として重要なことであり、達成すべく活動を強化しております。

## 当社の先端半導体開発体制

- » 先端半導体デバイス開発の強化：テクノロジーセンター平澤(韓国)の開所に加え、ベルギー Imecのプログラムに参加開始、より先を見据えた開発体制を構築



ここで、価値向上を達成するための開発体制を説明いたします。

まず、我々にとって最も重要な位置付けとしてお客様とのN+1開発があります。(Nは現世代、N+1は次世代、N+2は次々世代です)

共同開発、共同評価は昨年オープンしたテクノロジーセンター平澤とお客様開発ラインの2拠点を活用して引き続き積極的に行ってまいります。

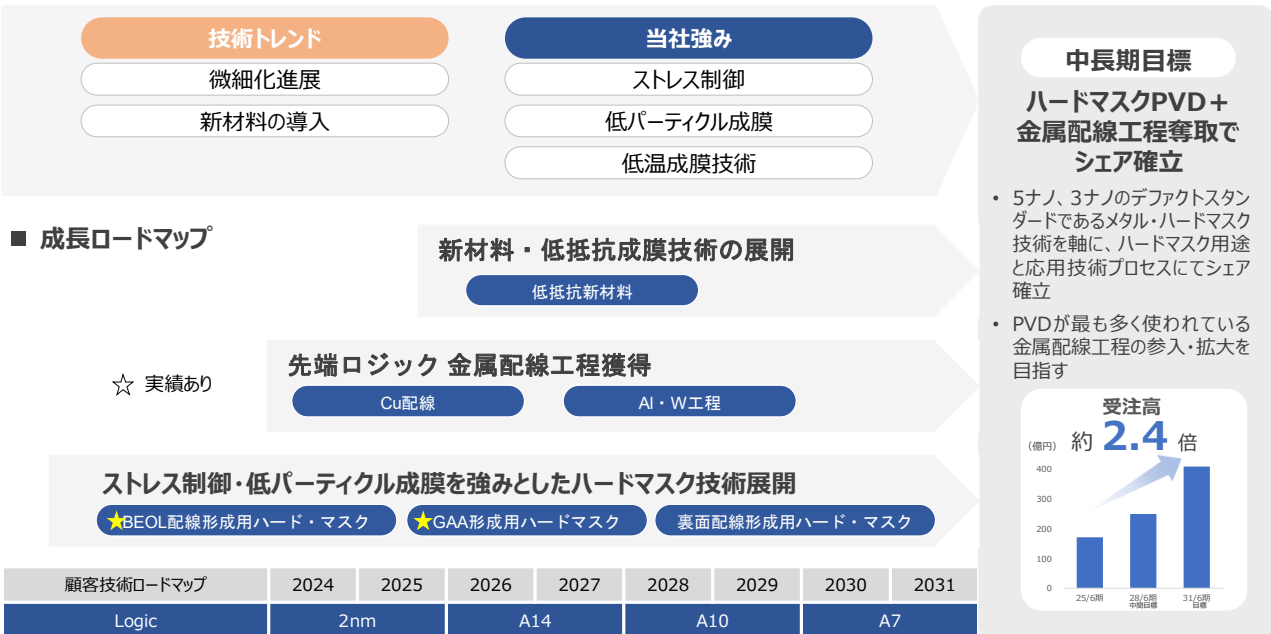
また従来通り、当社富士裾野事業所の半導体電子技術研究所では、お客様との開発を後方支援するとともにN+2の領域の開発も行います。

それに加えて、N+2等将来技術を十分にカバーするため、ベルギーのImecのプログラムに参加し、当社の得意とするa-Si HM工程を応用したプロセス評価を開始しました。

これは、先端顧客の開発スピードが年々加速している現状に対応するため、顧客から声がかかる前に十分な知見・データの蓄積を行うとともに、次世代技術の中から何を選択して開発を行うかのセンシングになります。

顧客開発サイト、テクノロジーセンター平澤、半導体電子技術研究所、Imecの4つの研究開発インフラがシームレスにつながったことで、N、N+1、N+2以上を網羅的にカバーできる体制が整いました。





先に発表した新中長期経営計画の中で示した半導体・ロジックデバイス向けのロードマップになります。

先ほどお示したとおり、当社は強みであるハードマスク装置ラインナップの拡充を進めています。

「ハードマスクといえばアルバック」と市場に認知させる活動を継続しており、成果が出ております。

また、ハードマスク工程を基盤として、PVD最大工程である金属配線工程獲得に向けて積極的な投資を行ってまいります。

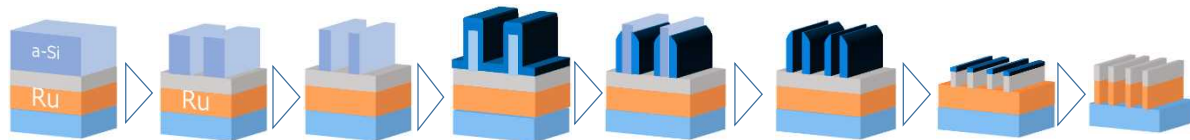
Cu配線工程の開発に関しては、時間を要しているものの、着実に技術力は上がっています。それをもって先端ロジック顧客のPOR獲得を目指しております。

また、将来的に必要な低抵抗配線新材料の成膜技術開発、低抵抗配線パターン加工のためのハードマスク技術も並行して開発を進めております。



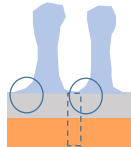
## 先端Logic向け将来技術開発の一例

### ▶ Ru DME工程における Hardmask 用途例



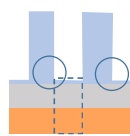
CVD

Trimming時の型崩れ  
パターン転写時に不利

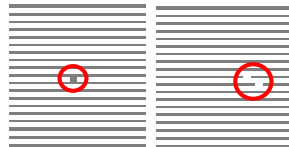


PVD

密度、Si純度、低成膜温度、低放出ガス  
→型崩れ耐性、パターン転写に優位



マイクロブリッジや欠損に対して有効



Amorphous Si PVDとCVDの比較

|          | CVD               | PVD      |
|----------|-------------------|----------|
| 成膜温度     | High              | Low      |
| 純度       | Low               | High     |
| 不純物(水素)  | High              | None     |
| 硬度       | Low               | Mid      |
| 膜厚       | thick             | mid      |
| パターン精度   | Bad               | Moderate |
| 温度耐性     | Moderate          | High     |
| 形状維持     | Low               | Moderate |
| 成膜パーティクル | Will be Evaluated |          |

Copyright© 2025, ULVAC, Inc. All rights reserved

9

ここに先端ロジック向けの将来技術開発の一例を説明します。  
これはベルギーのImecと行っている開発・評価の一つになります。

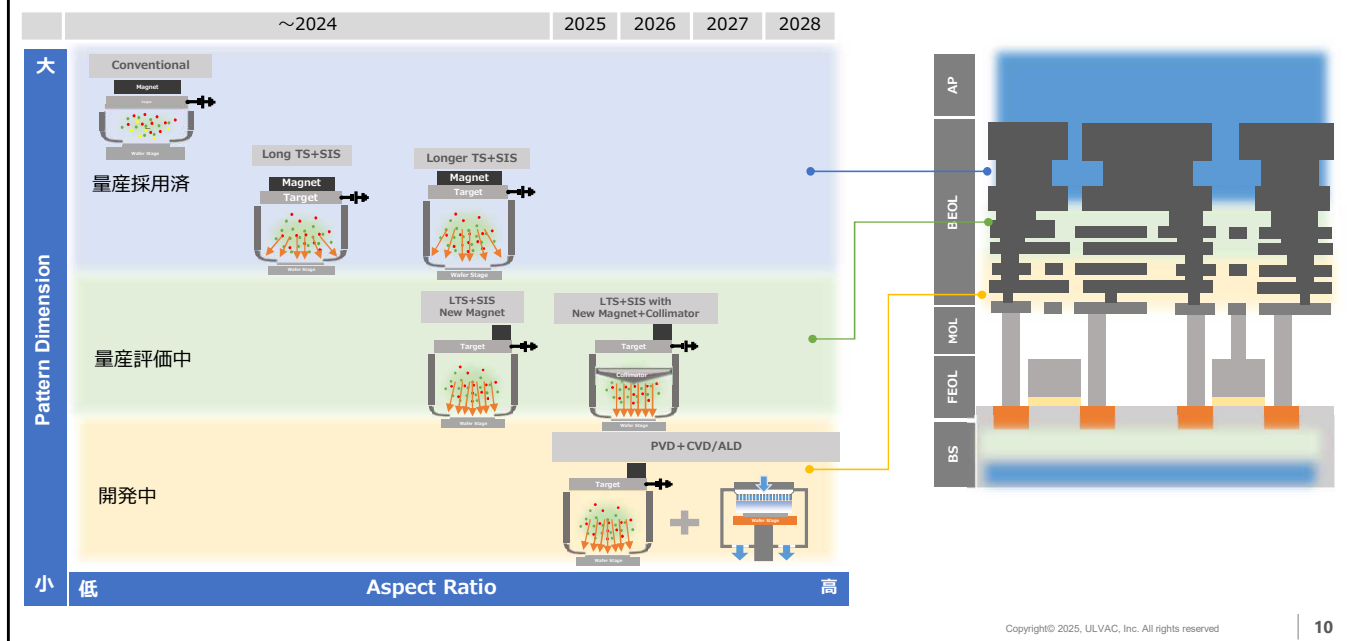
今後の低抵抗配線材料として先端デバイスへの採用が見込まれているRuの加工用hardmaskとしてPVD a-Siに優位性があるかの評価になります。

現在評価中のため、まだ結果は出ていませんが、従来のCVD工程に対してPVDは密度、Si純度、成膜温度、低放出ガス等の優位性があり、

処理時の型崩れ、その先のパターン転写に優位性があるため、お客様の課題であるマイクロブリッジや欠損に対して優勢性が出せると考えています。右側の表におけるCVDとPVDの比較にありますように、各項目においてPVDの優れた点が確認できます。

- ① Ruの上にSiN HM、さらにその上にa-Siを成膜し、最上部のPRを露光。まずa-Si HMにパターンを作成します。
- ② そのa-Si パターンを(酸化させ酸化部分を)Trimming
- ③ その上にスペーサーを形成
- ④ スペーサー エッチング
- ⑤ Core Pull Etch
- ⑥ SiN Etch
- ⑦ Ru Etch

≫ Logic分野における配線層の微細化、多層化による機会増加



Copyright© 2025, ULVAC, Inc. All rights reserved

10

続きまして、Logic分野におけるCu配線開発に関しての説明をいたします。  
まだ量産採用されてはませんが、開発は着実に進捗しています。

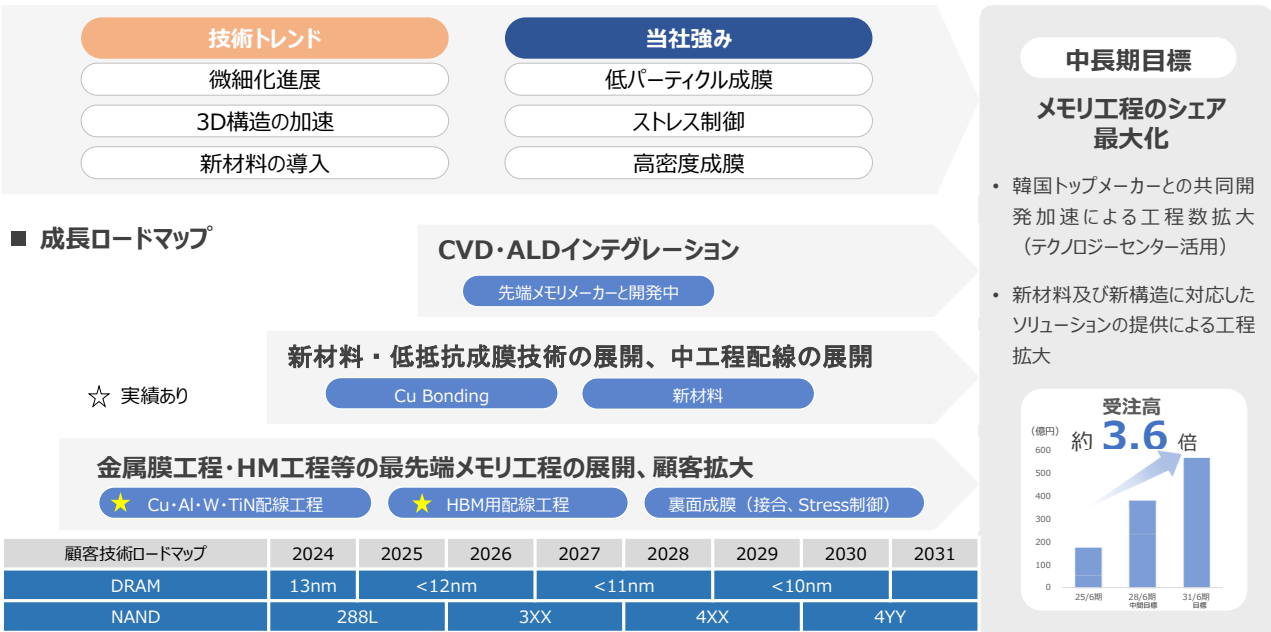
ここに示している図は、当社のスパッタリング技術、装置ラインナップになります。縦軸を配線パターン形状の開口径の広さ、横軸を開口と深さの比率（Aspect Ratio）とご理解ください。

一口にLogic用のCu配線といっても、比較的配線パターン形状が緩い上層から、形状がシビアになる中層、下層まで様々なパターン形状があります。

また、裏面からの電力供給や、さらなる微細化に伴い配線総数は増加していきます。

当社では量産性とコストに優れた従来型のカソードから、ターゲットとウェハの距離を伸ばしたロングスロースパッタリング(LTS)にて指向性を上げるとともに、自己保持放電技術とイオン移送技術を活かしたSISモジュールがあります。

さらには最重要技術であるマグネット部分に改良を加えた新カソード、その先にはCVD/ALDとのインテグレーションの開発も進めています。これによって配線上層から下層、さらには裏面配線まで網羅的にカバー、機会を拡大していきます。



Copyright© 2025, ULVAC, Inc. All rights reserved

11

続いて、メモリデバイス向けの成長ロードマップになります。

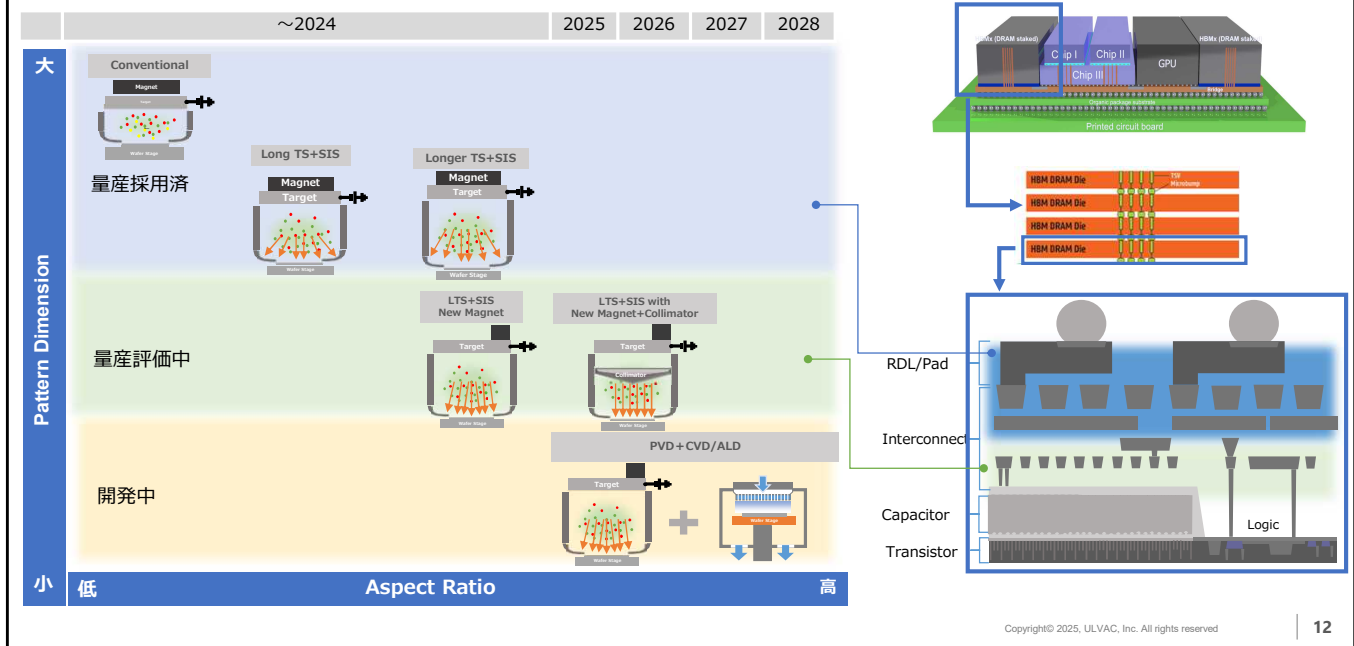
DRAMセグメントでは、DDR、HBMの両方でCu B/S、Al配線、再配線工程の量産採用実績を持っていますが、昨年度、メモリTopメーカーの1社との共同開発の結果、金属配線工程で新たなPOR獲得を達成しました。

このメーカーとはさらなる共同開発を進め、金属配線でのシェア拡大を図っていく活動を始めております。

さらにメモリの分野でも構造の変化、ウェハ接合等の新たなニーズが拡大しており、これら新機会を取り込むための共同開発を積極的に行っていく計画です。

## メタル配線工程向けスパッタリング技術 ～Memory～

» Memory分野における配線層の微細化、多層化、HBM総数増加/CBA等新構造採用に伴い機会増加



Memory用Cu配線工程はLogicと比較して総数は少ないものの、DRAM、NANDともにHBMやCBA等、構造変化に伴うCu配線工程の増加が予想されています。

ロジックで説明したスパッタリング技術ラインナップをもって、この機会に対応してまいります。

Cu配線以外の配線工程においても、大手メモリーメーカーの新たなPORを複数獲得することができました。

- ▶ ベルギーに拠点を置く先端半導体開発機関ImecのProgramへの参加を決定
- ▶ 同機関の知見、開発インフラを活用し、次世代以降の最先端半導体デバイス開発を加速させる



Copyright© 2025, ULVAC, Inc. All rights reserved

13

最後に、ImecのProgram参加に関して概要を説明します。

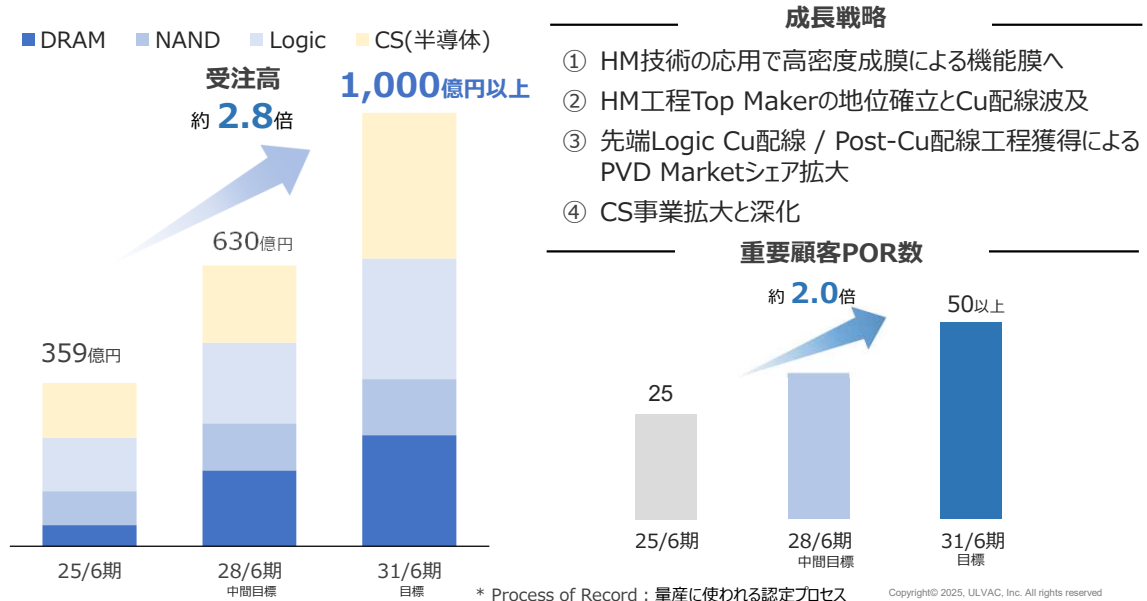
先に説明した通りですが、2026年6月期（今期）のQ1にベルギーの最先端半導体開発機関であるImecのProgram(NANO IC Program=MOL/BEOLをカバー)への参加を開始しました。

Imecを通して将来の先端ロジックで起こるであろうことを捉え、取捨選択、リソース配分を適時行います。また、同社との評価を通して当社単独では取得できないデータを取得し、先端顧客とのTRMに活用していきます。

Imecの描くRoadmapと先端顧客が採用する工程とのギャップ等も捉えながら、技術的な確実性と勝率、市場規模等をしっかりと見極めて判断し、実行してまいります。

また、この場は若手開発陣の育成や人材交流としての活用も考えております。

» 実績のあるハードマスク技術や金属成膜技術を基盤に、重要顧客のPOR\*数を増加し、新工程の獲得によるシェア拡大を図り、31/6期：受注1,000億円以上を目指す

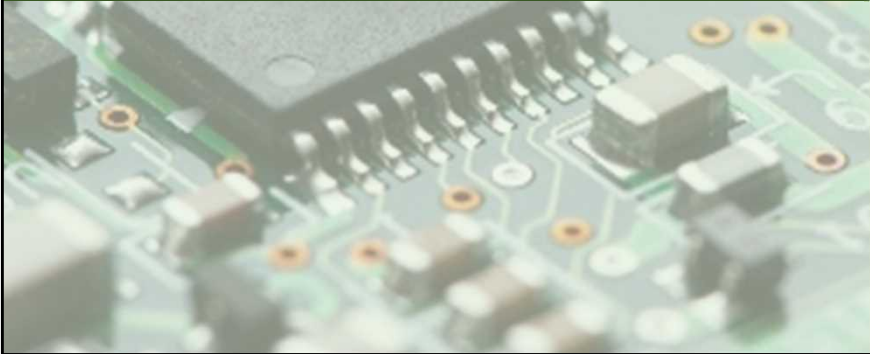
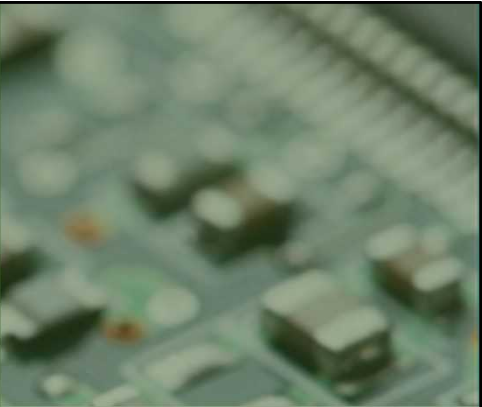


お伝えしました取り組みを実行することで、実績のあるハードマスク技術や金属成膜技術を基盤に、重要顧客のPOR数を増加させ、新工程の獲得によるシェア拡大を図り、31年6月期に受注1,000億円以上を目指します。

以上、ULVAC成長戦略における半導体前工程分野への取り組みをご紹介します。

# 先端パッケージングの新たな取り組み

上席執行役員 岩井 治憲  
半導体電子事業本部 営業2部 久保 純也

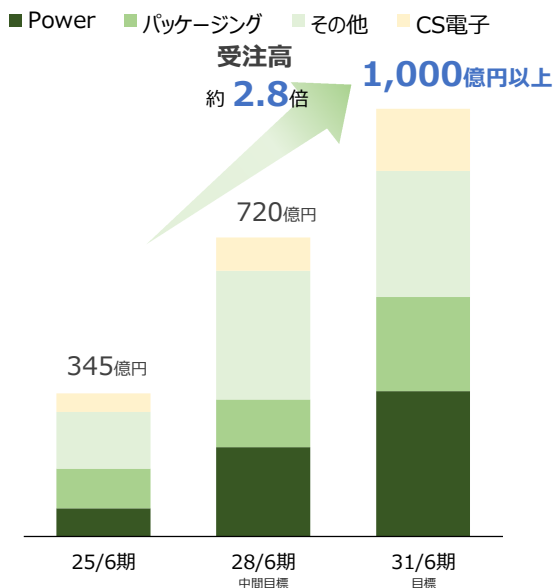


ULVAC

岩井です。では、先端パッケージングの取り組みについてご説明します。



- » パッケージングビジネスの活発化、パワーデバイス投資の回復等で1,000億円以上のビジネス規模へと拡大、更なる成長を目指す

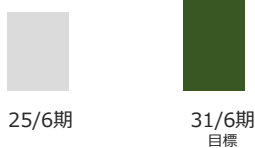


## 具体的な成長戦略

- ① SiC向けスパッタ・イオン注入に加え、GaN量産対応による適応拡大
- ② 先端パッケージングの投資拡大・新工程獲得
- ③ 通信機器の小型化に貢献するTFLN（薄膜リチウムニオブ酸）エッチング量産対応による光電融合ビジネス展開
- ④ CS事業拡大と深化

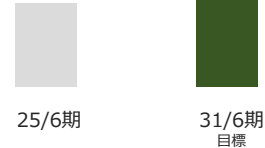
## 顧客数

約 **2.3** 倍



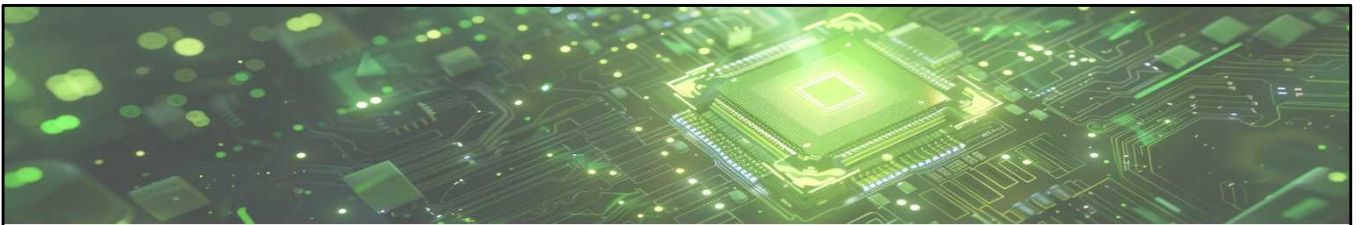
## 商談件数

約 **2.0** 倍



Copyright© 2025, ULVAC, Inc. All rights reserved

近藤から半導体ビジネスで31年6月期までに受注1,000億円以上を目指すとご説明しましたが、電子デバイスビジネスでも31年6月期までに、受注1,000億円以上を目指し、取り組んでまいります。その中でも、特に成長を期待しているパッケージング分野について、本日はご説明します。



## 1.先端パッケージングについて

## 2.先端パッケージに使われる表面処理技術

改めて、先端パッケージングに求められる技術についてご説明します。

スピード

冷却能力

丈夫さ

量産性

AI半導体は、大量のデータを扱い大きな熱を出すため、パッケージの工夫が欠かせません。

先端パッケージング技術に求められる条件は4つです。

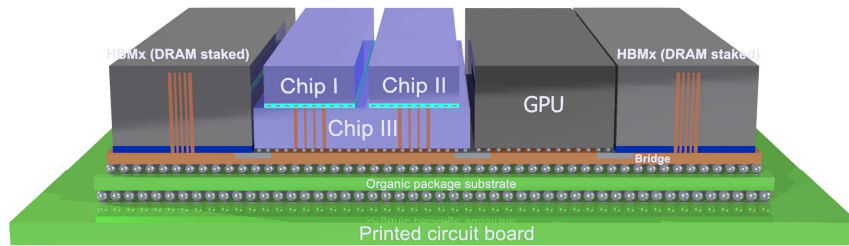
1つ目は速さ。細かい配線で信号をたくさんやりとりすること。

2つ目は冷却。熱を効率よく逃がすこと。

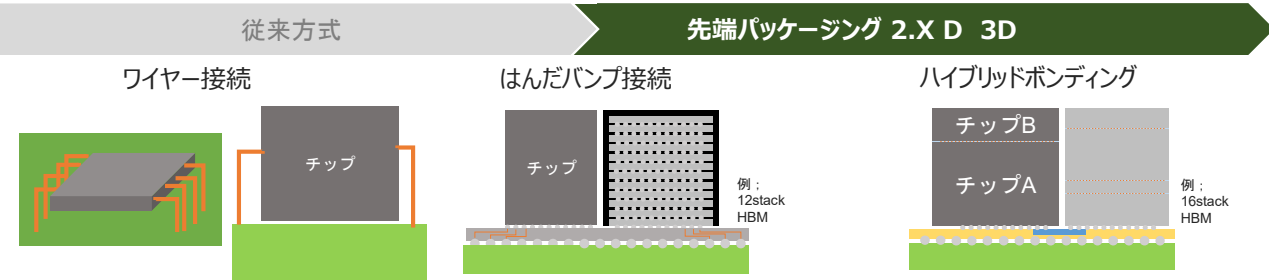
3つ目は丈夫さ。積層したチップを長く安定して動かすこと。

4つ目は量産性。世界的な需要に応えるため、大量に安定して作れることです。

## パッケージングの役割(配線を微細に短く高密度に接続)



## 2次元3次元配置と配線接続技術の進化



Copyright© 2025, ULVAC, Inc. All rights reserved

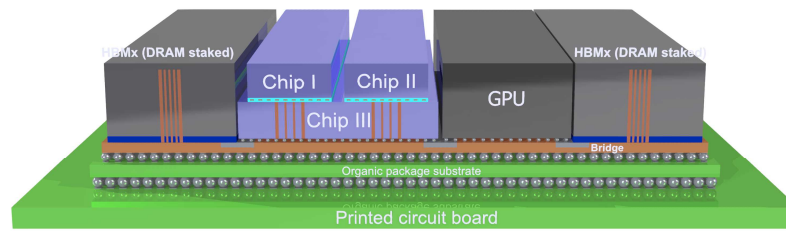
19

チップ自体を高性能にすることはもちろん大事ですが、AI半導体ではチップをどう並べ、どう積み重ねるかによっても性能が大きく変わります。昔はワイヤーでつなぐ方法が主流でした。

その後、はんだの小さな粒を使う“バンプ接続”が広まり、今はその粒をさらに小さくして高密度につなぐ方法に進化しています。

さらに最近、はんだを使わずにチップ同士を直接くっつける“ハイブリッドボンディング”が登場しました。

これによって、チップを平面だけでなく立体的に積み重ねることができるようになり、性能が大きく向上しています。



インターポーザ用デスカム処理

電極形成スパッタリング

Packaging基板用デスミア処理

Packaging基板用シードスパッタリング

ガラス加工用エッチング(光導波路形成)

微細微細パターニング用エッチング

TGV ガラス基板穴加工エッチング

プラズマダイシング

TSVエッチング(シリコン基板貫通加工)

**表面クリーニング 親水化処理**

**プラズマ表面活性化(ハイブリッドボンディング)**

Copyright© 2025, ULVAC, Inc. All rights reserved

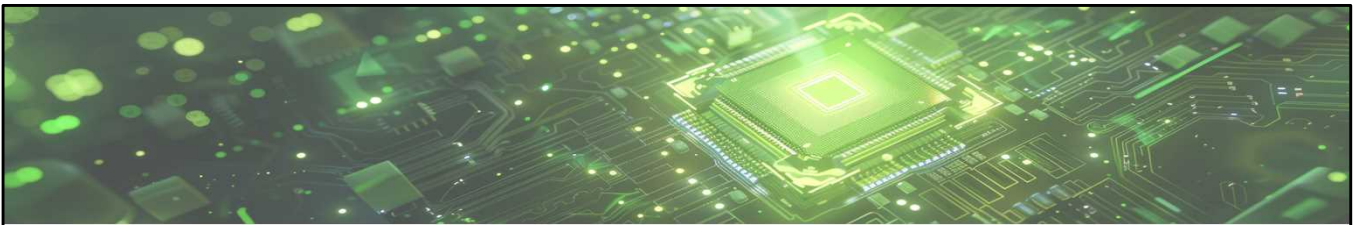
20

半導体チップをつなぐには、チップそのものだけでなく、それを支える基板にも、とても細かく正確な配線が必要です。

この配線づくりに活躍するのが、当社のデスカム装置や成膜装置です。  
デスカムはすでに幅広く使われていて、成膜装置も利用が進んでいます。

さらに最近では、チップとチップ、チップと基板、そして基板同士をつなぐ接続分野にも当社の技術が活用されます。

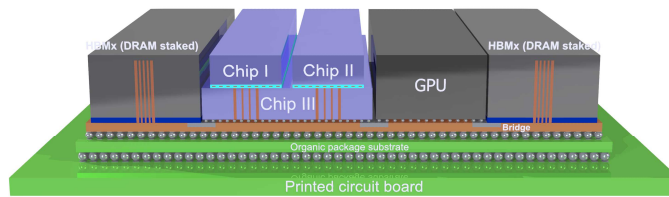
今日はその中でも、表面クリーニングや親水化、活性化といった“表面処理”技術について、久保よりご紹介します。



## 1.先端パッケージングについて

## 2.先端パッケージに使われる表面処理技術

久保です。  
それでは、先端パッケージに使われる表面処理技術について、ご説明します。



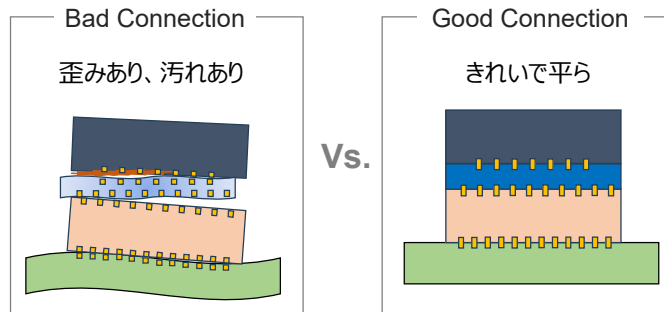
## 積層実装に求められるポイント

表面が平らであること

クリーンでよく密着できること

材料を劣化させないこと

熱と電気を効率よく伝えること



Copyright© 2025, ULVAC, Inc. All rights reserved

22

下の図は、チップを三次元に積み重ねるイメージです。

スマートフォンやAIに使われる半導体は、速く、そして省エネで動かすために、小さなチップをたくさん積み重ねる必要があります。

そのためにはいくつかの条件があります。

表面が平らで、きれいであること。

材料が傷まず、長く安定して使えること。

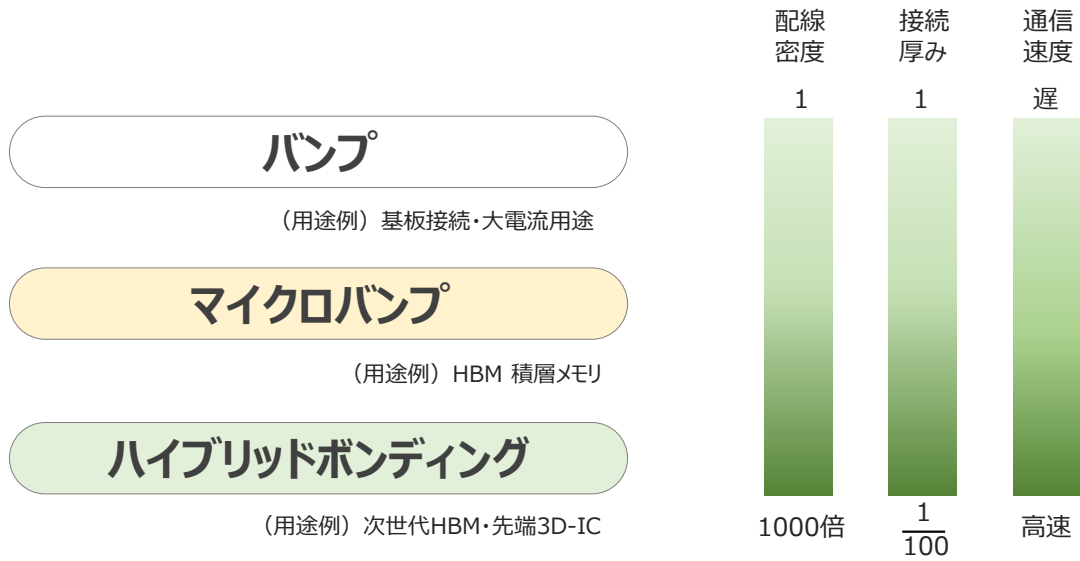
そして、熱や電気をしっかり伝えられることです。

材料どうしが理想の性能を維持したままよく密着することが重要です。

こうした条件を満たすことで、高性能で信頼性の高い半導体の実現します。

私たちの技術と装置は、この“積み重ねる力”も支えています。

半導体をつなぐ3つの方法 – より小さく、密に、薄く –



Copyright© 2025, ULVAC, Inc. All rights reserved

23

こちらのスライドは、AI半導体で使われる接続技術の例です。

まず“バンパ” は、 大きなはんだ玉でチップと基板をつなぐ基本の方法です。

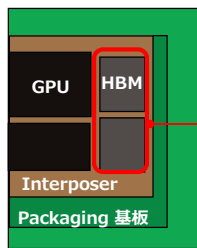
“マイクロバンパ”はより小さな玉で、細かく配線できます。

そして最新の“ハイブリッドボンディング”は、はんだを使わず電極を直接つなぐ方法です。

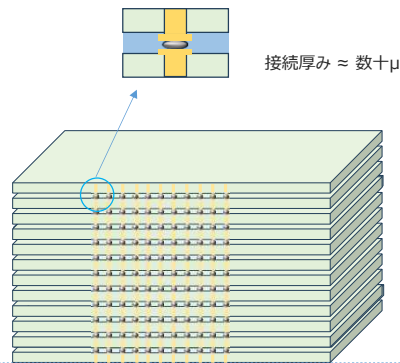
これにより、チップは小さく、薄く、速く、省エネに作れるようになります。



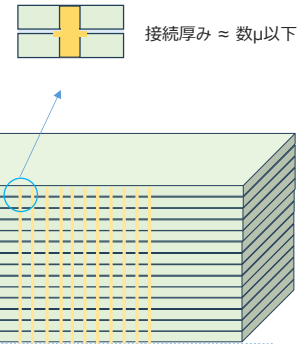
## HBMでの接続方法の進化



### ① マイクロバンプ接続



### ② ハイブリッドボンディング



Copyright© 2025, ULVAC, Inc. All rights reserved

24

こちらはAI半導体に使われるHBMメモリの接続技術です。

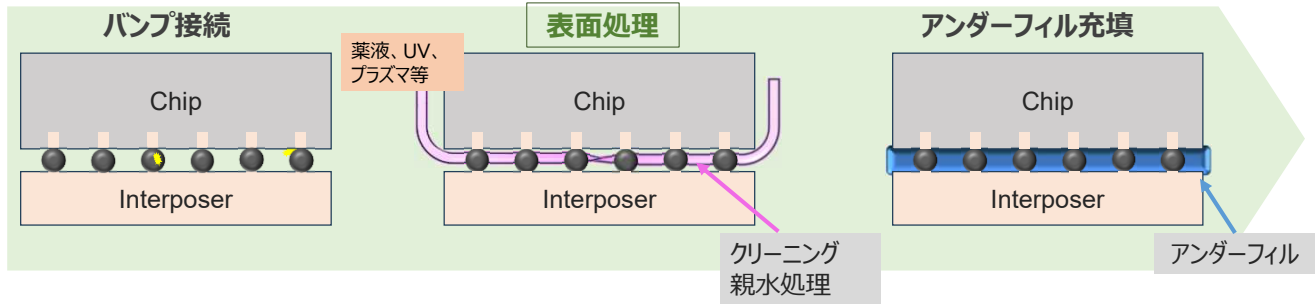
マイクロバンプ接続では、はんだの粒でチップを積み重ねます。接続部の厚みは数十μmあり、積層全体も厚くなります。

次世代のハイブリッドボンディングでは、はんだを使わず直接接続することで、接続厚みを数μm以下にでき、より薄く、より多くのメモリを積み、高速かつ省エネに動作させることができます。

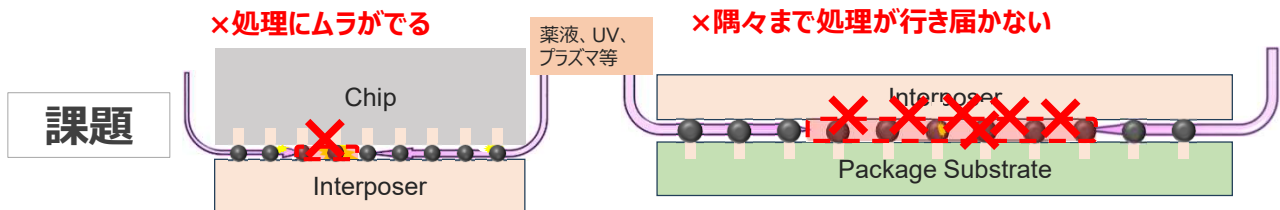
これらの分野で当社の表面処理技術が重要な役割を果たします。

ここからは、①のマイクロバンプ接続に用いられる、当社の表面処理技術についてご紹介します。

## bumps接続を安定させる表面処理



今後チップ・基板のギャップが狭くなる/大型化が進むと



Copyright© 2025, ULVAC, Inc. All rights reserved

25

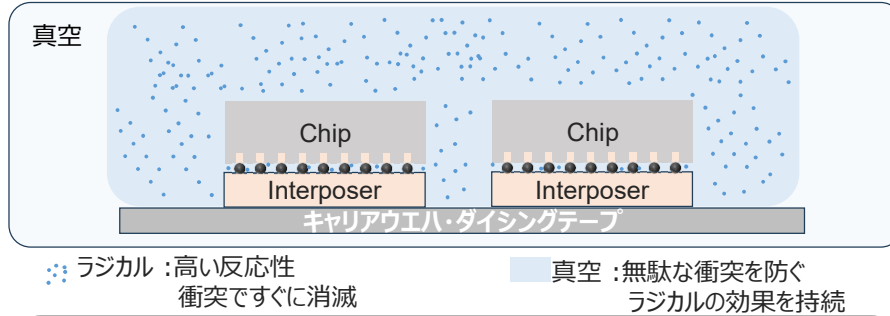
bumpsやマイクロ bumpsでチップを接続する際には、強度や放熱のためにアンダーフィル樹脂を流し込みます。

ここで重要なのが液体を流し込む前の下地の処理です。この処理によって、樹脂を安定して流し込むことができます。

しかし、配線の微細化や基板の大型化が進むと、下の図のように下地の処理が均一に行われずに樹脂が行き渡らず接続が不安定になるリスクが高まります。

そのため、従来以上に表面処理工程、すなわち親水化やクリーニングの重要性が増しています。

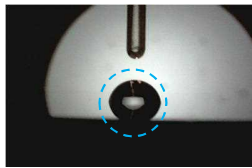
当社プロセス：真空 + ラジカル



当社プロセス装置

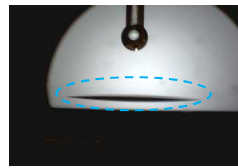
親水化処理とは

処理前



水をはじいている状態を

処理後



水がなじむ状態にすること

ght© 2025, ULVAC, Inc. All rights reserved

26

当社は、真空プラズマ技術を活用することで、ラジカルを効率的に使い、均一で強い接続を実現するプロセスを提供しています。

「ラジカル」と呼ばれる活性粒子は反応性が高いため大気中ではすぐに消滅しますが、真空中では安定して広がり、狭い隙間の奥まで届きます。

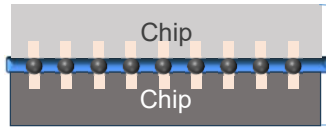
親水化された物質の表面は左下の図のような水滴をはじくような状態から、右のように水がなじむ状態に変化します。

表面を水になじみやすい状態に整えることで、樹脂が隅々まで行き渡り、安定した接続を可能にします。

こうして、チップをしっかりつなぎ、長く安定して使える半導体を実現できます。

## ハイブリッドボンディングの応用と課題

### ① マイクロバンプ接続

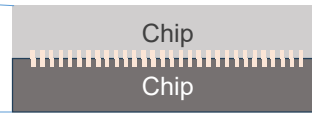


#### メリット

- 配線密度を増やすことができる
- バンプ分の厚み分薄くなる

高性能半導体への応用に期待

### ② ハイブリッドボンディング



#### 課題

- 高精度な表面処理と位置合わせが必要
- 量産化に向けたプロセス最適化が課題

量産に向けたプロセス最適化に期待

パッケージング用途に向けた設備最適化や量産実証が必要

Copyright© 2025, ULVAC, Inc. All rights reserved

27

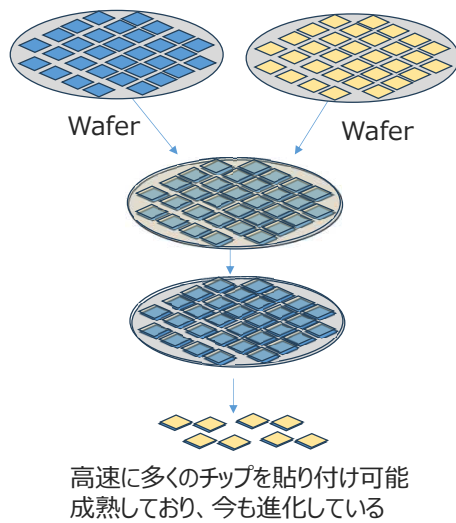
次に、2番目のハイブリッドボンディングについてです。  
この方法を使うと、より細かく たくさんの配線ができ、チップを小さく効率よく作ることができます。

将来の高性能な半導体には欠かせない技術として期待されています。  
実はこの方法は、すでにカメラに使われる CMOS イメージセンサーなどで実用化されています。  
今では半導体業界全体でさらに精度を高める取り組みが進んでいます。

今後は、半導体をまとめるパッケージに向けて、設備や工程を最適化し、長く安定して使えるようにする研究が進められています。私たちも、量産に向けた準備を進めているところです。

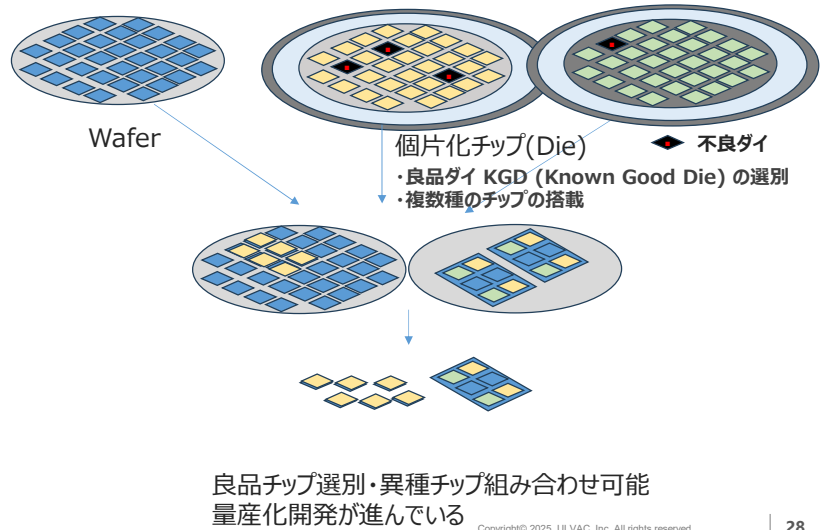
## ハイブリッドボンディングの種類

### W to W (Wafer to Wafer)



### D 2 W (Die to Wafer)

当社注力



Copyright© 2025, ULVAC, Inc. All rights reserved

28

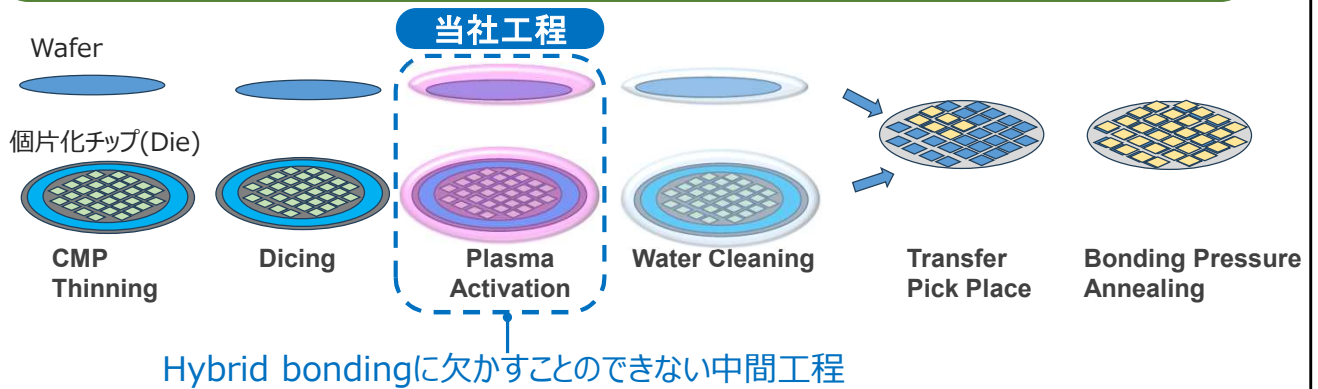
ハイブリッドボンディングには大きく2つの方式があります。

1つはウエハ同士を一括で接合するW to W方式です。大量のチップを高速で処理できる成熟した技術ですが、現在も微細化や高精度化が進んでいます。

これからの、技術として期待されているもう一つの方式は、切り出した後のチップを1つずつ選んで接合するD2W方式です。良品チップだけを選別して使えることや、異なる種類のチップを組み合わせられることが特徴です。

当社はこのD2W方式ハイブリッドボンディングに欠かせない工程に注力しており、次世代半導体の量産化を支える重要な成長領域と考えています。

## D2W接合



### 強み

- 優しいプラズマでチップの特性を変えずに、基板表面の反応性を向上
- 個片化されたチップに均一に処理することのできる専用装置

Copyright© 2025, ULVAC, Inc. All rights reserved

29

当社が注力している工程は、ハイブリッドボンディングに欠かせない表面活性化処理工程です。表面活性化処理とは、プラズマで表面を処理し、接着性のために反応性を高める重要な工程です。

この工程でも真空技術を用いることで表面を清浄に保ち、接合の信頼性を確保し、プロセス全体の安定性を支えています。

重要なのは、一台の専用装置だけで完結するのではなく、前後の工程と調和しながら最適化する点です。

当社はこれまでの表面処理の豊富な実績に加え、ウェハーの搬送ではなくダイシングテープフレームを用いるD2W方式に対応した装置の要素技術も有していることも強みとなっています。

これらの技術を既に保有していることで、顧客は開発期間を大幅に短縮でき、製品投入や量産におけるリスクを最小限に抑えることが可能となります。

バンプ接続における役割

より狭い領域

親水性

ダイシングフレーム対応

ラジカル処理

ハイブリッドボンディングにおける役割

D2W

活性化

ダイシングフレーム対応

プラズマコントロール

当社の役割

表面状態を整える  
最適なプロセス提供



安定した装置供給

私たちの役割は大きく2つあります。

ひとつは、半導体をつなぐ前の「表面を最適に整えるプロセス」を提供することです。親水性やラジカル処理、活性化などの技術を用いて、安定して接合できる表面をつくり出します。

もうひとつは、「装置メーカー」として、その技術を量産現場に安定して供給することです。これを実現できる量産体制を持っていることが、当社の強みだと考えています。

研究用途にとどまらず、実際の生産現場で安心して使える装置を提供することこそ、私たちの大きな価値です。

これら2つを両立させることで、先端パッケージの発展を支え、拡大する市場のニーズに応えてまいります。

# 表面分析装置の強みと今後の展開

執行役員 アルバック・ファイ（株）代表取締役社長 高橋 明久  
製品戦略部長 宮山 卓也

 **ULVAC-PHI, INC.**  
© 2025 ULVAC-PHI, INCORPORATED

高橋です。

当社については、馴染みが薄い方も多いのではと存じます。そこで、2分弱にまとめた紹介ビデオを用意させていただきました。まずは、こちらをご覧ください。



ULVAC-PHI 会社紹介ビデオ

CLICK HERE



**PHI Gr.**

- **AES** オージェ電子分光法, **XPS** X線光電子分光法, **SIMS** 二次イオン質量分析法 (TOF-SIMS, Q-pole-SIMS) の3手法の表面分析技術(Hardware, Software)を有している**世界唯一の企業**
- 表面分析機器のTOP企業で、**国立研究開発法人**, **世界TOP企業へ納入実績** (納入2000台～、稼働1300台～)
- ULVAC-PHIは研究開発用の表面分析機器で培ったXPSの技術を活用し、2027年6月期に半導体量産ライン向けXPS検査装置の製品化に挑戦、**分析機器と検査装置で世界TOP企業を目指す**

Auger electron spectroscopy  
(AES)

PHI 710

X-ray photoelectron spectroscopy  
(XPS)

PHI GENESIS

Secondary ion mass spectrometry  
(TOF-SIMS)

PHI nanoTOF 3+

Secondary ion mass spectrometry  
(Q-pole-SIMS)

PHI ADEPT1010

改めまして私より、最初にULVAC-PHIが、どのような会社かご紹介させてください。

私たちは、AES、XPS、SIMSという3手法の表面分析技術を1社で持っている世界唯一の会社です。

私たちの製品は固体の表面から数nmのデータ・情報を取得することが可能な分析機器で、主にR & Dで使用されています。

各国の国立研究開発法人、世界TOP企業への納入実績が豊富であり、R & D用途の表面分析機器においては、TOPシェアを獲得しています。

私たちはこのR&D用分析機器で培ったコア技術を活用して、半導体検査装置の事業化を目指しています。

## 沿革

### 1969年5月

ミネソタ大学のR. E. Weber博士によりPHYSICAL ELECTRONICS (PHI) が創業

- ・世界初の商用AES表面分析機器を開発
- ・その後、XPS、SIMSがラインアップとして加わり、表面分析サプライヤーとしての地位を確立

### 1971年4月

日本真空技術株式会社（現 株式会社アルバック）が、PHIとの総代理店契約を締結

### 1982年11月

PHIと日本真空技術株式会社は、合併会社アルバック・ファイ株式会社（ULVAC-PHI）を設立

### 2003年2月

PHIより、表面分析装置事業部門を買収、表面分析機器の製造およびグローバル販売を開始

### 2023年11月

中国に新会社 ULVAC PHI Instrumentsを設立

### 現在

ULVAC-PHI（日本）、PHYSICAL ELECTRONICS（米国）、ULVAC PHI Instruments（中国）の3社で  
グローバル展開



創業者  
Dr. R. E. Weber  
University of Minnesota

私たちの会社は、世界ではじめて、AES表面分析機器を商用化したPhysical Electronicsからはじまっています。

その後、表面分析機器のメーカーとして、XPS、SIMSを製品化してまいりました。

2003年にULVAC Gr.となり、現在は、日本、米国、中国の3社を中心に、分析機器ビジネスのグローバル展開をしています。

## 存在価値

「目に見えないものをデータ・情報に変える」ことで重要な意思決定を支えるデータ・情報を提供

## 強み

① 高精度で幅広い表面分析手法を有する技術

|      |                      | アルバック・ファイ | A社 | B社 | C社 | D社 | E社 |
|------|----------------------|-----------|----|----|----|----|----|
| 分析手法 | XPS<br>(X線光電子分光法)    | ●         | ●  | ●  | ●  |    |    |
|      | AES<br>(オージェ電子分光法)   | ●         |    |    | ●  |    |    |
|      | SIMS<br>(二次イオン質量分析法) | ●         |    |    |    | ●  |    |
|      | TOF-SIMS<br>(最表面分析)  | ●         |    |    |    |    |    |
|      | D-SIMS<br>(深さ方向分析)   | ●         |    |    |    |    | ●  |

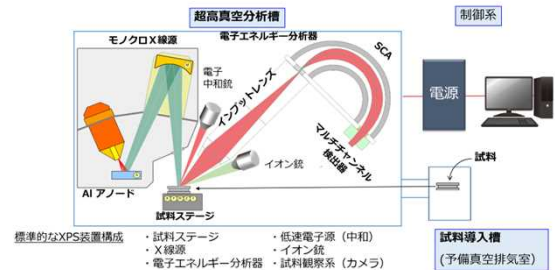
24.6期 4Q決算開示資料より抜粋

② 分析機器のトータルコーディネート

Hardware : 検出限界に挑戦

Software : 信号をデータ・情報に変換

System : 一貫したバリューチェーン



私たちの存在価値は何かと聞かれたら、私は、最先端の表面分析の技術を活用して、「目に見えないものをデータ・情報に変える」ことで、新たな発見やイノベーション、品質管理や故障解析における、お客様の重要な意思決定を支えるデータ・情報を提供することだと答えます。

当社の強みとしまして、1つ目は競合他社と比較して幅広い表面分析手法の技術を有しており、高精度なデータ取得・活用が可能であることです。

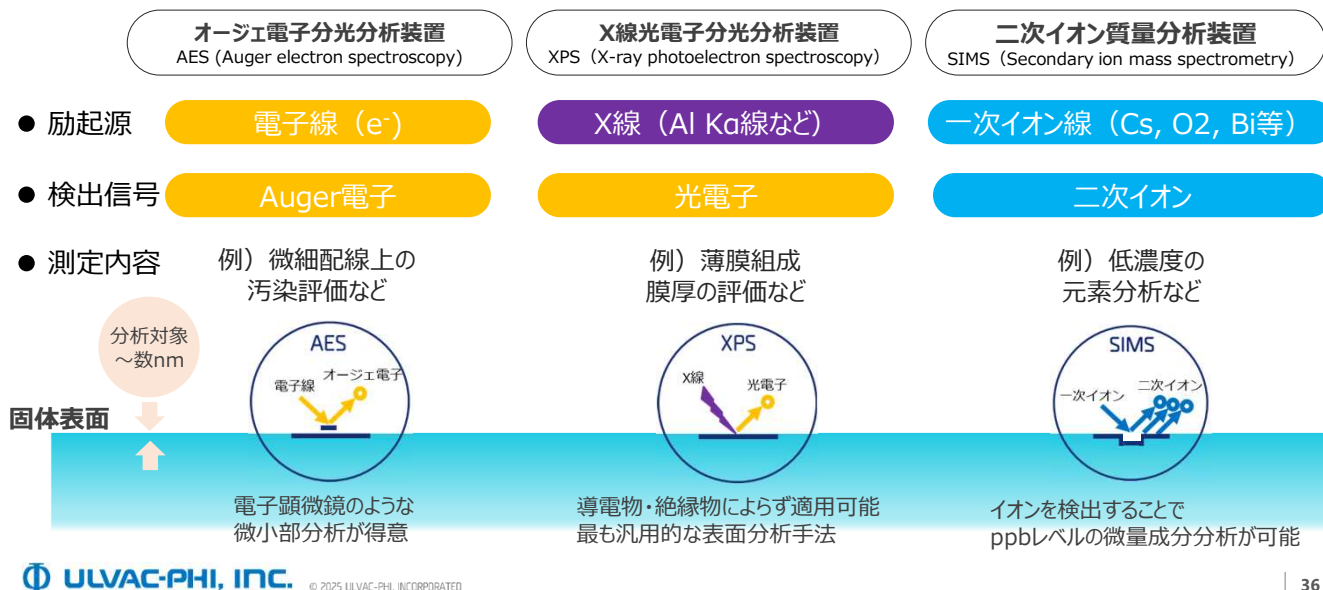
2つ目は、表面分析のトータルコーディネートが出来ることにあり、Hardwareは検出限界に挑戦し続け、得られた信号を物理と数学の知識を駆使して、お客様が使えるデータ・情報に変換するSoftware、これを研究開発から製造・アフターサービスに至るまで、全ての機能を一貫したバリューチェーンでお客様に製品を提供できることです。

次の頁からは、当社マーケティング責任者の宮山より、表面分析のアドバンテージとベネフィットをご説明させていただきます。

## Core技術：表面分析技術とは



- ≫ 表面数nmの領域で**元素組成、化学状態、分子構造**の分析が可能
- ≫ 二次元分布観察(イメージング)、深さ方向分析を組み合わせ、材料の評価が可能な技術



宮山です。

まずは当社のコア技術である表面分析技術についてご説明します。

表面分析技術では、分析対象となるのは固体表面から数ナノメートルと、とても薄い層の範囲で、材料の中にどんな元素があるか、元素の化学的な状態や分子の形まで詳しく調べることができます。また、調べたい場所の二次元的な分布、すなわち、どこにどの元素がどれくらいあるかを画像として可視化することができます。さらに表面から材料内部へ向かって各成分の変化も調べられます。これらを組み合わせることで、材料の性質や状態を詳しく評価できる技術です。

当社で扱う3つ分析手法は、それぞれオージェ電子分光分析法 = AES、X線光電子分光分析法 = XPS、二次イオン質量分析法 = SIMSです。

AESでは、電子線を試料表面に照射し、放出されるオージェ電子を検出します。電子顕微鏡同様に細く絞った電子線を使用するため固体の極表層の汚染や異物の面内分布評価に適しています。

XPSではX線を物質にあて、放出される光電子を検出することで固体表面の元素組成や分布をすることが可能です。導電物、絶縁物を問わず様々な材料に利用できるため最も汎用的な表面分析技術と言えます。

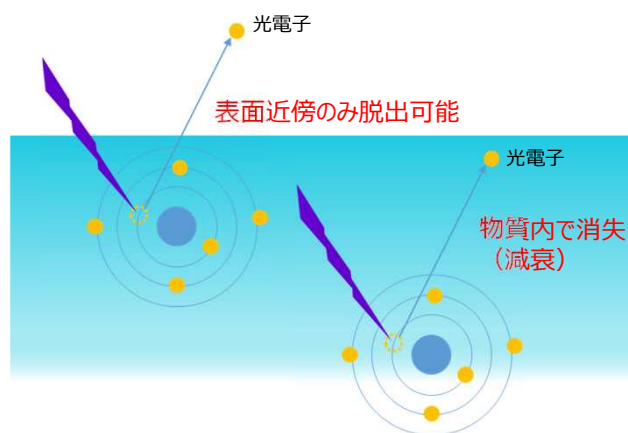
SIMSは固体表面に一次イオンを照射し、放出される二次イオンを検出します。AES、XPSとことなり、イオンビームによるスパッタリをりようしているため厳密には破壊分析となります。イオンを検出信号とすることでppbレベルの微量成分検出が可能であることが特徴となります。

次のページでは、数nmの膜厚評価で使用されるXPSについて、詳しく解説します。



### XPS（X線光電子分光法）

X線を物質に当てることで、そのエネルギーを受けた物質中の電子が飛び出す現象（光電効果）を利用した分析方法



#### XPSが表面に敏感な手法である理由

- 電子は物質内でエネルギーを失って減衰
- 物質内で移動できる距離はせいぜい数nm

#### XPSに必要な技術

- X線源
- 光電子アナライザー
- 超高真空（アルバックのコア技術）

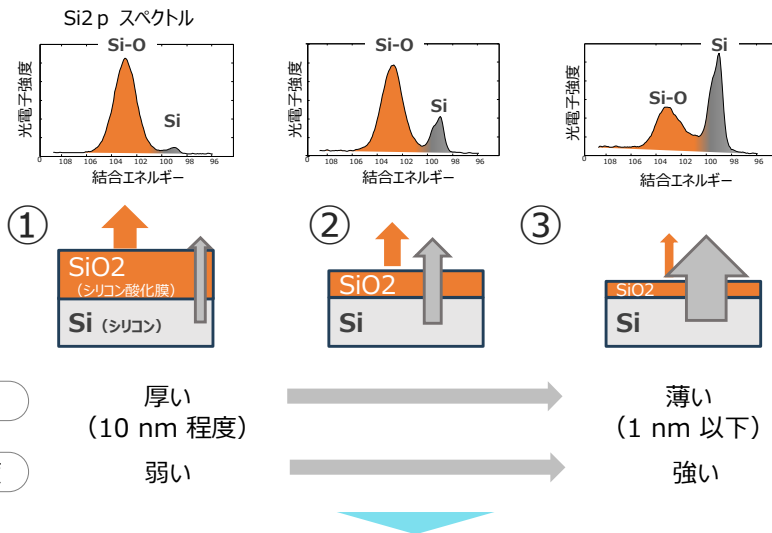
XPS、X線光電子分光法とは、X線を固体表面に照射し、そのエネルギーを受けた物質中の電子が飛び出す現象（光電効果）を利用した分析手法です。

飛び出した電子のエネルギーを測定することで、物質の表面に存在する元素やその化学状態を調べることができます。

X線を当てて、飛び出した電子が物質の中を進む際、他の原子や電子と衝突してエネルギーを失う「減衰」します。

このため、電子が物質内を移動できる距離は非常に短く、数ナノメートル程度に限られます。つまり、固体表面から飛び出して検出される電子は物質の表面近くに由来するため、XPSは物質の表面の情報を得ることができる「表面分析」の手法として利用されます。

XPSに必要な技術としては電子の励起エネルギー源となるX線源、光電子を運動エネルギーを計測するための光電子アナライザー、そしてアルバックのコア技術となる、真空度の高い、超高真空技術となります。



**10nm以下の薄膜に対して厚さ評価が可能**

ここではXPSを用いた、薄膜の測定応用例を示します。例えば、シリコンウェハーに成膜されたシリコン酸化膜の膜厚を測る場合、基板であるシリコンと表層のシリコン酸化膜の光電子は同じシリコン由来の光電子でも厳密には異なるエネルギーを持ちます。このエネルギーの違いを利用して基板Siと表層のシリコン酸化膜の化学状態を分離することができます。

それぞれの信号強度は表層のシリコン酸化膜の厚さにより変化することを利用して、XPSを用いて数nm程度のシリコン酸化膜を精度よく計測することが可能となります。

これらを模式的に示したものが下記の図となります。①ではシリコン酸化膜が厚い場合には表層のシリコン酸化膜由来のピークが強く検出されます。

一方、③のようにシリコン酸化膜が薄くなると酸化膜由来の検出信号が弱くなり、逆に基板であるシリコンの検出信号が強くなります。

XPSでは上記の現象を利用することで10 nm 以下の極薄い膜でも厚さを精密に測定できることが出来ます。

検出手法によっては、あまりにも薄膜であるためデータとして検出できないこともあります。XPSならば測定が可能です。



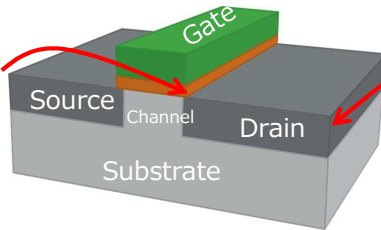
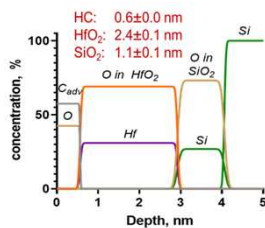
トランジスタ (HEOL)



## XPS

組成の非破壊でゲート酸化膜の膜厚評価

✓ 数nmの膜厚評価

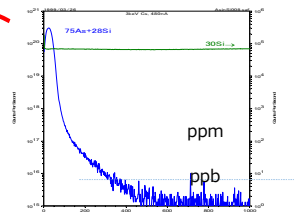


## SIMS

ソース/ドレイン形成のためのイオン注入評価

✓ ppbレベルのDopant評価

非常に微量のドーパント（不純物元素）を評価・測定



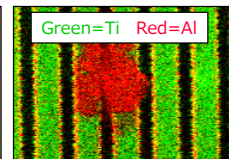
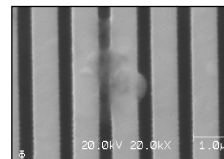
配線 (BEOL)



## AES

Trench部分の汚染/異物評価

✓ 電子顕微鏡観察と同様に微小部分分析  
極表層の汚染/異物評価



表面分析技術は微細化・高度化が進む半導体の評価において不可欠な技術です。

XPSでは、ロジック・メモリのトランジスタ部分のゲート酸化膜の膜厚を、非破壊で評価できます。イオン照射し、イオンのはねかえりを検出するSIMSでは、非常に微量のドーパント、不純物元素を評価、測定することでトランジスタ部分のソース、ドレインを形成する際のイオン注入の評価が可能となります。

配線部分のトレンチを形成する際の汚染、異物評価については、電子線を用いるAESを用いることで電子顕微鏡と同じくらい小さな部分を詳しく調べることができ、材料の表面のごく薄い層に付いた汚れや異物も見つけて評価することができます。

このように、当社の表面分析技術は半導体製造工程の多様な評価に対応しており、微細化・高度化に伴い高まる要求精度に応えることで、大きく貢献できると考えています。



## 表面分析技術が用いられるフィールド



ULVAC-PHI, INC.

PHYSICAL ELECTRONICS

半導体

燃料電池

鉱物

高分子

ガラス

触媒

ペロブスカイト

バイオ

製薬

太陽電池

リチウムイオン電池

金属

ディスプレイ

表面分析技術は半導体分野にとどまらず、さまざまな分野で幅広く活用されています。

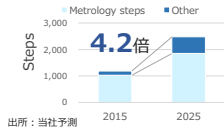
先程、高橋からご説明した、最先端の表面分析の技術を活用して、「目に見えないものをデータ・情報に変える」ことで産業の発展に貢献してまいります。

## Lab to Fabへの挑戦

» 既存Lab型での経験と実績（シェアNo.1）を活かし、半導体電子との事業間シナジー等により、製造プロセス高度化による分析の重要度が高まるFab型へ“XPS”を本格投入し、検査装置市場におけるグローバルポジションの確立を目指す

### 市場環境

半導体製造工程は10年間で倍増し、中でも検査工程は4倍に



～25/6期

### 研究開発向けXPS分析機器トップシェア

- 研究開発向けXPS分析機器の拡大
- 半導体量産ライン向けXPS検査装置のプロトタイプ開発



研究開発向けXPS分析機器

**ULVAC-PHI, INC.** © 2025 ULVAC-PHI, INCORPORATED

### 技術・要求トレンド

微細化進展に伴う工程数UP

歩留まり改善ニーズの高まり

品質管理の重要度向上

～27/6期

### 半導体量産ライン向けXPS検査装置の市場投入

- 研究開発向けXPS分析機器の高品質化
- 半導体量産ライン向けXPS検査装置の製品リリース



半導体生産ライン向けXPS検査装置イメージ

### 当社強み

表面分析専門メーカーの実績

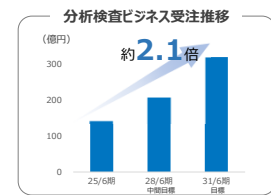
R&D～サービス一貫体制

Software（Science）、  
Hardware（物理・光学設計、  
製造）の両面から価値を提供

～31/6期

### グローバル展開による更なる拡大を目指す

- 研究開発向け分析機器のラインナップ強化
- 半導体量産ライン向けXPS検査装置の工程拡大
- 分析機器・検査装置で受注300億円規模の事業化



冒頭で申し上げましたが、私たちはR&D用分析機器で培ったコア技術を活用して、半導体検査装置の事業化を目指しています。

XPSはX線を応用した分析手法で非破壊の特長があります。

皆さんも空港の手荷物検査や健康診断の時のレントゲンなどでX線になじみがあると思いますが、検査である以上、確認する対象を非破壊で計測しなければなりません。

固体表面から数nmの非常に浅い領域を非破壊で計測するためにはXPSが最適の手法であり、先端半導体で要求される付加価値の高い微細なスケールに対して計測レンジが合う技術です。

|             | 分析機器 | 検査装置 |
|-------------|------|------|
| TAKT TIME   | 不問   | 必須   |
| 測定対象（材料・構成） | 未知   | 既知   |
| 測定方法        | 破壊   | 非破壊  |



繰り返しお伝えしていますが、私たちはこれまで分析機器のビジネスをして来ました。

分析機器と検査装置で使われるコア技術は同じですが、装置としては要求仕様が異なります。分析機器ではTakt Timeの制約はありませんが、検査装置では単位時間内に計測する数が決まっています。

また、分析機器は分からないものをデータ・情報化するため幅広く検出することが必要ですが、検査装置ではおおよその構造が分かった上で、膜厚や組成を確認します。

検査方法については、分析機器では小片のサンプルを破壊して分析することは可能ですが、検査装置では前のページで申し上げた通り、製造工程の中で確認するため非破壊でなければなりません。

両社アセットの組み合わせにより半導体量産ライン向けXPS検査装置の実現を目指す



### 事業間シナジー

#### 半導体量産ライン向けXPS検査装置

27/6期リリース

31/6期までに分析機器・検査装置で受注300億円規模の事業化を目指す

R&D（分析機器）から量産（検査装置）まで、シームレスなデータ・情報の提供  
生産装置と検査装置とのソリューションの提供

検査装置に求められる要求仕様に対して、ULVAC-PHIの表面分析のコア技術に加えて、ULVAC 半導体電子BUが有する検査装置のHardwareとして必須となるφ300mmWaferのハンドリング、低パーティクル、タクトタイムの技術を組み合わせていきます。

それぞれの持っている技術のシナジーにより、私たちの表面分析技術のパフォーマンスを最大限に発揮できる検査装置の実現を目指します。

本プロジェクトが成功すれば、ULVAC-PHIはR&Dから量産までシームレスでデータ・情報の提供が可能となります。

そして、ULVAC半導体電子デバイスの生産装置とULVAC-PHIの検査装置の両面でソリューションを提供することで、ULVAC Gr.として半導体業界におけるポジションを確立していきたいと考えています。

**ULVAC**